

SIGMA DELTA TYPE A/D CONVERSION DEVICE

Publication number: JP2000174627 (A)

Publication date: 2000-06-23

Inventor(s): FUKUNAGA TOSHITAKA +

Applicant(s): TOSHIBA CORP +

Classification:

- international: H03M1/08; H03M3/02; H03M1/08; H03M3/02; (IPC1-7): H03M1/08; H03M3/02

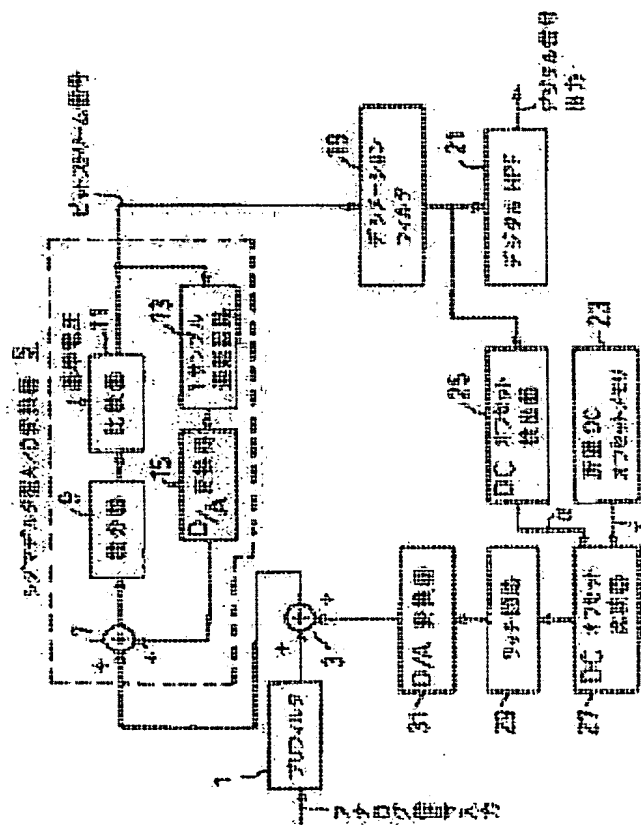
- European:

Application number: JP19980351141 19981210

Priority number(s): JP19980351141 19981210

Abstract of JP 2000174627 (A)

PROBLEM TO BE SOLVED: To prevent the generation of idling pattern noise. **SOLUTION:** A DC offset detector 25 detects a DC offset value α generated before a sigma delta type A/D converter 5. A DC offset comparator 27 subtracts α from the desired DC offset value X of a desired DC offset memory 23 and the result X-α is held in a latch circuit 29, then digital/analog converted in a D/A (digital/analog) converter 31 and supplied to an adder 3.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-174627

(P2000-174627A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 3 M 3/02

H 0 3 M 3/02

5 J 0 2 2

// H 0 3 M 1/08

1/08

A 5 J 0 6 4

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21)出願番号 特願平10-351141

(22)出願日 平成10年12月10日(1998.12.10)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 福永 敏孝

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74)代理人 100081732

弁理士 大胡 典夫 (外1名)

Fターム(参考) 5J022 AA00 AB01 BA03 CA07 CD02
CE06

5J064 AA01 BA03 BA13 BB07 BB11

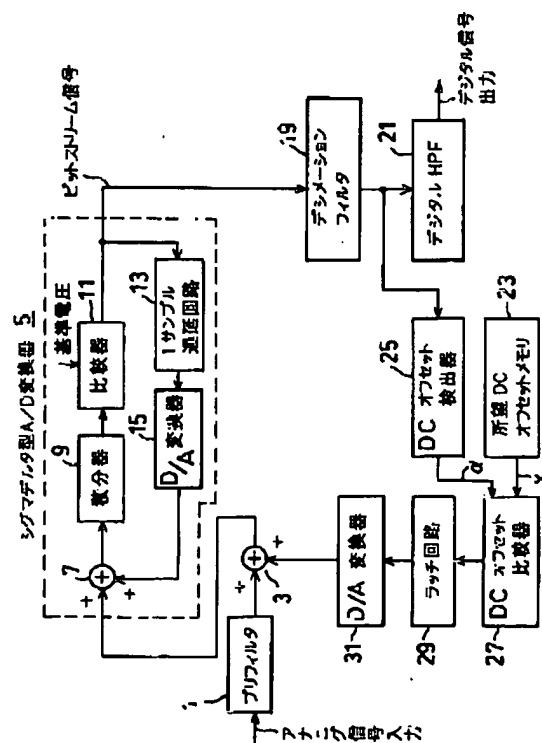
BC01 BC06 BC08 BC12 BD01

(54)【発明の名称】 シグマデルタ型A/D変換装置

(57)【要約】

【課題】 アイドリングパターンノイズの発生を防止する。

【解決手段】 DCオフセット検出器25は、シグマデルタ型A/D変換器5までで発生したDCオフセット値 α を検出する。DCオフセット比較器27は、所望DCオフセットメモリ23の所望DCオフセット値Xから α を減算し、この結果 $X-\alpha$ をラッチ回路29に保持した後、D/A変換器31でデジタル-アナログ変換して加算器3に供給する。



【特許請求の範囲】

【請求項1】 入力したアナログ信号をビットストリーム信号に変換するシグマデルタ型A/D変換器と、前記ビットストリーム信号よりデータを間引き、所定の周波数帯域以外を減衰させた後前記周波数帯域を取り出すデシメーションフィルタと、前記デシメーションフィルタの出力からDCオフセット値を検出するDCオフセット検出器と、所望のDCオフセット値を記憶するためのメモリと、前記メモリに記憶されたDCオフセット値から前記DCオフセット検出器の検出結果を減算するDCオフセット比較器と、前記DCオフセット比較器の減算結果を保持する保持回路と、前記保持回路の出力をデジタル-アナログ変換するD/A変換器と前記デジタル-アナログ変換された前記保持回路の出力を前記シグマデルタ型A/D変換器の入力端に付加する加算器とを具備したことを特徴とするシグマデルタ型A/D変換装置。

【請求項2】 入力したアナログ信号をビットストリーム信号に変換するシグマデルタ型A/D変換器と、前記ビットストリーム信号よりデータを間引き、所定の周波数帯域以外を減衰させた後前記所定の周波数帯域を取り出すデシメーションフィルタと、前記デシメーションフィルタの出力からDCオフセット値を検出するDCオフセット検出器と、所望のDCオフセット値を記憶するためのメモリと、前記メモリに記憶された所望のDCオフセット値に対し、前記DCオフセット検出器の検出結果が大きい、小さい、等しいかを判定するDCオフセット比較器と、前記DCオフセット比較器の判定結果によりカウントアップまたはカウントダウン動作を行うアップおよびダウンカウンタと、前記アップおよびダウンカウンタの出力をデジタル-アナログ変換するD/A変換器と、前記デジタル-アナログ変換された前記アップおよびダウンカウンタの出力を前記シグマデルタ型A/D変換器の入力端に付加する加算器とを具備したことを特徴とするシグマデルタ型A/D変換装置。

【請求項3】 前記メモリに記憶される所望のDCオフセット値を適時変えることを特徴とする請求項1または2に記載のシグマデルタ型A/D変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シグマデルタ型A/D変換装置に関する。

【0002】

【従来の技術】図6に、従来のシグマデルタ型A/D変換装置の構成を示す。プリフィルタ101は、入力した

アナログ信号に含まれる高域の周波数成分をカットして、加算器103に供給する。加算器103は、プリフィルタ101の出力に後述するD/A変換器111からのアナログ信号を加算する。

【0003】積分器105は、加算器103の出力を積分する。比較器107は、積分器105の出力を基準電圧と比較し、量子化、符号化したビットストリーム信号を出力する。1サンプル遅延回路109は、シグマデルタA/D変換器102を動作させるためのクロックであり、前記ビットストリーム信号を1クロック分遅延させる。D/A変換器111は、1サンプル遅延回路109の出力をデジタル-アナログ変換して、加算器103に供給する。

【0004】以上加算器103、積分器105、比較器107、1サンプル遅延回路109、D/A変換器111により、シグマデルタ型A/D変換器102を構成する。

【0005】デシメーションフィルタ113は、シグマデルタ型A/D変換器102より出力された前記ビットストリーム信号のデータ・レートが高いため高いサンプリング周波数から低いサンプリング周波数へとデータを間引いていき、最終的にサンプリング周波数(f_s)の $1/2$ であるナイキスト周波数($f_s/2$)以上の利得を十分減衰させたのち、0(Hz)よりナイキスト周波数までの帯域を取り出す。

【0006】デジタルHPF(ハイパスフィルタ)117は、デシメーションフィルタ115の出力に存在する入力したアナログ信号からシグマデルタ型A/D変換器102までで発生したDCオフセット量を除去し、デジタル信号を出力する。

【0007】デシメーションフィルタ115、デジタルHPF117により、デジタルフィルタを構成する。

【0008】シグマデルタ型A/D変換器102の出力である前記ビットストリーム信号の波形をNRZ(Non Return to Zero)信号で表すと、図7のようになる。このシグマデルタ型A/D変換器102に無信号を入力すると、図8のように規則性のある信号(アイドリングパターン)が出力されることがある。これはある程度のレベルをもった信号として、ある周波数信号で現れる。

【0009】そして、この信号は可聴帯域内に存在し、ホワイトノイズのレベルよりも大きいレベルの場合、S/N特性を悪化させ耳障りな音として聞こえる。このためこの信号は、アイドリングパターンと呼ばれ、シグマデルタ型A/D変換器102の次数、シグマデルタ型A/D変換器102のサンプリング周波数、シグマデルタ型A/D変換器102のサンプリング比によって発生状況が異なる。

【0010】アイドリングパターンノイズの発生を防ぐために、シグマデルタ型A/D変換器102にDCオフ

セットを付加し、可聴帯域より帯域外にアイドリングパターンノイズを移動させる。効果的なDCオフセットではあるが、その値が重要であり、付加した値によっては逆にアイドリングパターンノイズが発生する場合がある。このため一般的にアイドリングパターンノイズが発生しないDCオフセット値をあらかじめ調べておき、DCオフセットを加えるようにシステム設計している。

【0011】

【発明が解決しようとする課題】しかしながら、入力するアナログ信号そのものに含まれるDCオフセットや、シグマデルタ型A/D変換器102がアナログで構成されているためにシグマデルタ型A/D変換器102が持つDCオフセットが、前記設定したDCオフセット値に加算されるため、前記設定したDCオフセットよりずれてアイドリングパターンノイズが発生するという問題が起きることがある。

【0012】例えば、シグマデルタ型A/D変換器102を構成する積分器105は、オペアンプ回路を含んでおり、オペアンプ回路における差動入力段において、素子の製造ばらつきや温度依存によるドリフトの発生でペア性が崩れDCオフセットを発生する。

【0013】次に複数のシグマデルタ型A/D変換器を隣接して配置した場合、その変換器間で互いに干渉し合い、本来シグマデルタ型A/D変換器自身とは異なるアイドリングパターンノイズが発生することがある。これは隣接して配置することが原因の1つと考えられ、シグマデルタ型A/D変換器間のDCオフセット量の差がある値以上ないとアイドリングパターンノイズが可聴帯域内で発生する。

【0014】このように、シグマデルタ型A/D変換器はあらかじめ設定したDCオフセット値からずれたり、干渉による影響でアイドリングパターンノイズが発生してしまうという欠点がある。

【0015】そこで本発明は、アイドリングパターンノイズの発生を防止するシグマデルタ型A/D変換装置を提供することを目的とする。

【0016】

【課題を解決するための手段】（第1の解決手段）入力したアナログ信号をビットストリーム信号に変換するシグマデルタ型A/D変換器と、前記ビットストリーム信号よりデータを間引き、所定の周波数帯域以外を減衰させた後前記周波数帯域を取り出すデシメーションフィルタと、前記デシメーションフィルタの出力からDCオフセット値を検出するDCオフセット検出器と、所望のDCオフセット値を記憶するためのメモリと、前記メモリに記憶されたDCオフセット値から前記DCオフセット検出器の検出結果を減算するDCオフセット比較器と、前記DCオフセット比較器の減算結果を保持する保持回路と、前記保持回路の出力をデジタル-アナログ変換するD/A変換器と前記デジタル-アナログ変換された前

記保持回路の出力を前記シグマデルタ型A/D変換器の入力端に付加する加算器とを具備したことを特徴とする。

【0017】（第2の解決手段）入力したアナログ信号をビットストリーム信号に変換するシグマデルタ型A/D変換器と、前記ビットストリーム信号よりデータを間引き、所定の周波数帯域以外を減衰させた後前記所定の周波数帯域を取り出すデシメーションフィルタと、前記デシメーションフィルタの出力からDCオフセット値を検出するDCオフセット検出器と、所望のDCオフセット値を記憶するためのメモリと、前記メモリに記憶された所望のDCオフセット値に対し、前記DCオフセット検出器の検出結果が大きいか、小さいか、等しいかを判定するDCオフセット比較器と、前記DCオフセット比較器の判定結果によりカウントアップまたはカウントダウン動作を行うアップおよびダウンカウンタと、前記アップおよびダウンカウンタの出力をデジタル-アナログ変換するD/A変換器と、前記デジタル-アナログ変換された前記アップおよびダウンカウンタの出力を前記シグマデルタ型A/D変換器の入力端に付加する加算器とを具備したことを特徴とする。

【0018】

【発明の実施の形態】図1に、本発明のシグマデルタ型A/D変換装置の第1の実施の形態の構成を示す。プリフィルタ1は、入力したアナログ信号に含まれる高域の周波数成分をカットして、加算器3に供給する。加算器3は、プリフィルタ1の出力と後述するD/A変換器31からのアイドリングパターンの発生を防止するDCオフセットを加算する。

【0019】加算器7は、加算器3の出力に後述するD/A変換器15からのアナログ信号を加算する。積分器9は、加算器7の出力を積分する。比較器11は、積分器9の出力を基準電圧と比較し、量子化、符号化してビットストリーム信号を出力する。

【0020】1サンプル遅延回路13は、前記ビットストリーム信号をシグマデルタ型A/D変換器5を動作させるためのクロックで1クロック分遅延させる。D/A変換器15は、1サンプル遅延回路13の出力をデジタル-アナログ変換して、加算器7に供給する。

【0021】以上加算器7、積分器9、比較器11、1サンプル遅延回路13、D/A変換器15により、シグマデルタ型A/D変換器5を構成するデシメーションフィルタ19は、シグマデルタ型A/D変換器5より出力された前記ビットストリーム信号のデータ・レートが高いため、高いサンプリング周波数から低いサンプリング周波数へとデータを間引いていき、最終的にサンプリング周波数（ f_s ）の1/2であるナイキスト周波数（ $f_s/2$ ）以上の利得を十分減衰させた後、0（Hz）からナイキスト周波数までの帯域を取り出す。

【0022】デジタルHPF（ハイパスフィルタ）21

は、デシメーションフィルタ19の出力に存在する入力したアナログ信号からシグマデルタ型A/D変換器5までで発生したDCオフセット量を除去し、デジタル信号を出力する。

【0023】DCオフセット検出器25は、シグマデルタ型A/D変換器5までで発生したDCオフセット量を検出する。DCオフセット比較器27は、所望DCオフセットメモリ23からの所望DCオフセット値からDCオフセット検出器25からのDCオフセット値を減算する。

【0024】ラッチ回路29は、DCオフセット比較器27の減算結果を保持する。D/A変換器31は、ラッチ回路29の出力をデジタル-アナログ変換し、アイドリングパターンノイズの発生を防止するDCオフセットとして、加算器3に供給する。

【0025】図1の動作を、図2のタイミングフローチャートを使用して説明する。まずシグマデルタ型A/D変換器5が動作を開始する前に、Reset信号をON(Highレベル)にして、デシメーションフィルタ19、DCオフセット検出器25、DCオフセット比較器27、ラッチ回路29のデータを全てゼロにクリアする(区間2)。

【0026】次に区間3でReset信号をOFF(Lowレベル)にし、アナログ回路であるプリフィルタ1とシグマデルタ型A/D変換器5で発生するDCオフセット量を、DCオフセット検出器25で求める。

【0027】このとき、DCオフセット検出器25で求められた値を α (LSB)と置く。次にDCオフセット比較器27で、所望DCオフセットメモリ23に記憶している所望DCオフセット値X(LSB)からDCオフセット検出器25の出力DCオフセット値 α を減算する。

【0028】この結果、 $X - \alpha$ (LSB)が補正すべきDCオフセット値となる。この値は、ラッチ回路29で保持し、区間4のタイミングと同時に出力される。出力されたDCオフセット値は、D/A変換器31でデジタル-アナログ変換されてアナログ信号として加算器3に供給される。これにより、シグマデルタ型A/D変換器5におけるDCオフセット値は、 $(X - \alpha) + \alpha = X$ (LSB)となり、所望DCオフセットメモリ23の所望DCオフセット値Xと同じ値になる。

【0029】なお、これらは1回限りの動作でDCオフセット値の補正を終了する。以上の補正動作終了後、アナログ信号の入力が可能となる。

【0030】図3に、本発明のシグマデルタ型A/D変換装置の第2の実施の形態の構成を示す。図1と同一の構成要素については同一の参照符号を付し、詳細な説明は省略する。DCオフセット比較器41は、所望DCオフセットメモリ23に記憶している所望DCオフセット値X(LSB)に対して、DCオフセット検出器25で

求められたDCオフセット値 α が大きいか、小さいか、若しくは等しいかの判定を行う。

【0031】DCオフセット比較器41が、Xに対して α が小さいと判定した時、図4(a)に示す如く、アップ/ダウンカウンタ43は、1回カウントアップする。所定時間後、DCオフセット比較器41が、まだXに対して α が小さいと判定した時、アップ/ダウンカウンタ43は、再度1回カウントアップする。この動作は、Xに対して α が等しくなるまで続く。

【0032】D/A変換器31は、アップ/ダウンカウンタ43の出力をデジタル-アナログ変換して、加算器3に供給する。

【0033】DCオフセット比較器41が、逆にXに対して α が大きいと判定した時、図4(b)に示す如く、アップ/ダウンカウンタ43は、1回カウントダウンする。所定時間後、DCオフセット比較器41が、まだXに対して α が大きいと判定した時、アップ/ダウンカウンタ43は、再度1回カウントダウンする。この動作は、Xに対して α が等しくなるまで続き、D/A変換器31を介してDCオフセット値が、加算器3に供給される。

【0034】本実施の形態は、積分器9を構成するオペアンプが、温度変化でドリフトを発生しDCオフセット値が随時変化する時に有効である。

【0035】図5に、本発明のシグマデルタ型A/D変換装置の第3の実施の形態の構成を示す。図1および図3と同一構成要素については同一参照符号を付し、詳細な説明は省略する。

【0036】本実施の形態では、プリセット信号によりDCオフセットを任意の値に変更可能なDCオフセットメモリ51を設けており、シグマデルタ型A/D変換器5を2以上隣接配置して互いの干渉によるアイドリングパターンノイズが発生する場合に特に有効である。

【0037】なお図1において、所望DCオフセットメモリ23の代わりに、DCオフセットメモリ51を設けて良い。

【0038】

【発明の効果】以上本発明によれば、アイドリングパターンノイズの発生を防止できる。

【図面の簡単な説明】

【図1】本発明のシグマデルタ型A/D型変換装置の第1の実施の形態の構成を示すブロック図である。

【図2】図1のシグマデルタ型A/D変換装置の動作を示すタイミングフローチャートである。

【図3】本発明のシグマデルタ型A/D変換装置の第2の実施の形態の構成を示すブロック図である。

【図4】図3のシグマデルタ型A/D変換装置の動作を説明するための図である。

【図5】本発明のシグマデルタ型A/D変換装置の第3の実施の形態の構成を示すブロック図である。

【図6】従来のシグマデルタ型A/D変換装置の構成を示すブロック図である。

【図7】図6のシグマデルタ型A/D変換器102の出力のビットストリーム信号波形であるNRZ信号を示す図である。

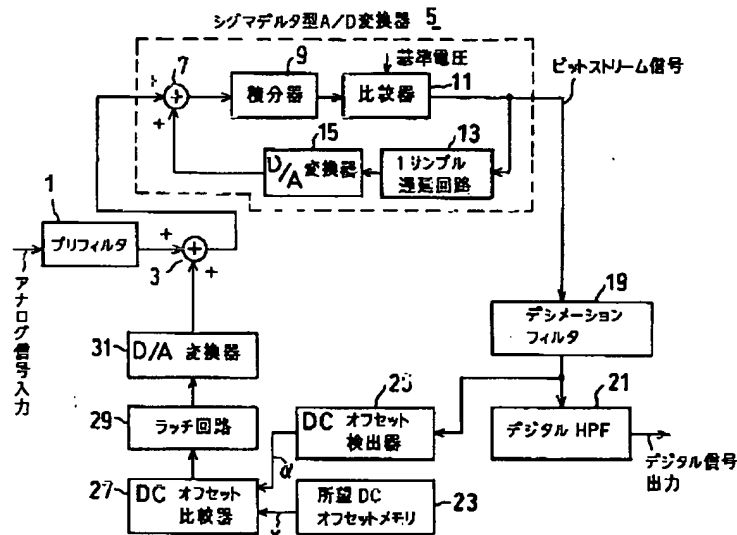
【図8】図6のシグマデルタ型A/D変換器102に無信号を入力した時発生するアイドリングパターンノイズを示す図である。

【符号の説明】

1・・・プリフィルタ、3・・・加算器、5・・・シグ

マデルタ型A/D変換器、7・・・加算器、9・・・積分器、11・・・比較器、13・・・1サンプル遅延回路、15・・・D/A変換器、19・・・デシメーションフィルタ、21・・・デジタルHPF（ハイパスフィルタ）、23・・・所望DCオフセットメモリ、25・・・DCオフセット検出器、27・・・DCオフセット比較器、29・・・ラッチ回路、31・・・D/A変換器、41・・・DCオフセット比較器、43・・・アップ/ダウンカウンタ、51・・・DCオフセットメモリ。

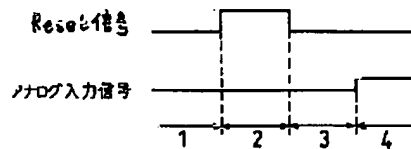
【図1】



【図7】

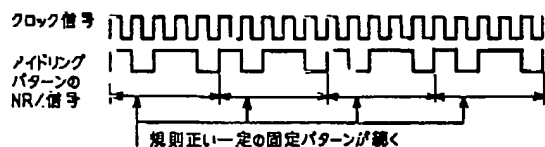


【図2】

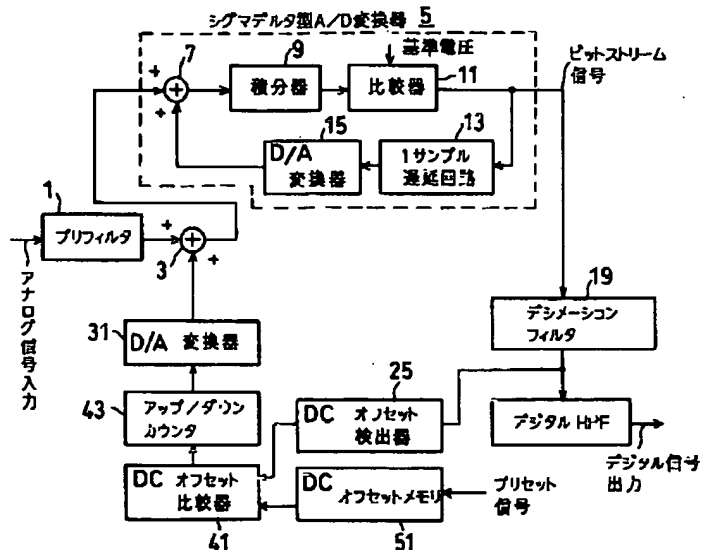


- 1... オフセットキャリブレーション動作前
- 2... Reset=Highで下記のブロックの回路に保持されたデータを全てゼロクリアにクリアする。デシメーションフィルタ19, DCオフセット検出器25, DCオフセット比較器27, ラッチ回路29。
- 3... Reset = Lowにオフセットキャリブレーション動作を開始する。
- 4... オフセットキャリブレーション動作終了後アナログ信号の入力が可能となる。

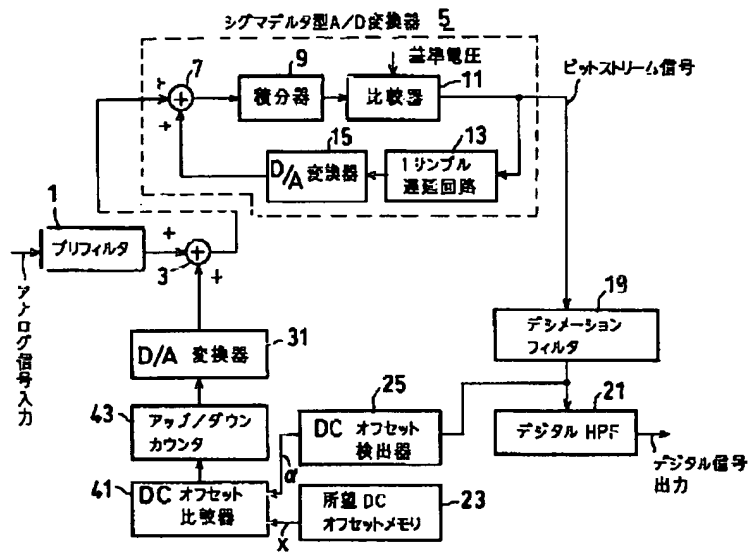
【図8】



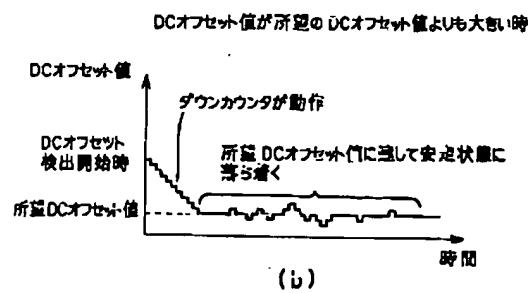
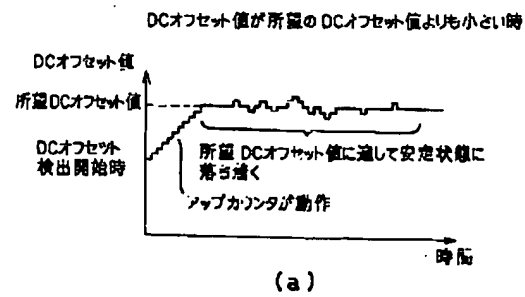
【図5】



【図3】



【図4】



【図6】

